

CLIPPEDIMAGE= JP403105963A  
PAT-NO: JP403105963A  
DOCUMENT-IDENTIFIER: JP 03105963 A  
TITLE: DEVICE STRUCTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: May 2, 1991

INVENTOR-INFORMATION:  
NAME  
SOEJIMA, MASAMOTO

ASSIGNEE-INFORMATION:  
NAME  
NEC CORP

COUNTRY  
N/A

APPL-NO: JP01244171  
APPL-DATE: September 19, 1989

INT-CL (IPC): H01L027/06; H01L021/331 ; H01L021/76 ; H01L029/73  
US-CL-CURRENT: 257/557

ABSTRACT:

PURPOSE: To reduce an element isolation width by a method wherein a graft base diffusion layer of a bipolar transistor is formed in common with a P<SP>+</SP> drain diffusion layer of a P-channel MOSFET and a P-type base diffusion layer and an N<SP>+</SP> emitter diffusion layer of the bipolar transistor are surrounded by the P<SP>+</SP> drain diffusion layer.

CONSTITUTION: A dummy gate electrode 9 is formed simultaneously so as to cover a part in which a P-type base diffusion layer and an N<SP>+</SP> emitter diffusion layer of an NPN bipolar transistor are to be formed. Then, ions of boron are implanted to form a P<SP>+</SP> drain diffusion layer 6a and a P<SP>+</SP> source diffusion layer 6b. Gate electrodes 6 act as a mask when the ions are implanted; the P<SP>+</SP> drain diffusion layer 6a and the P<SP>+</SP> source diffusion layer 6b are formed in a self-aligned manner with the gate electrodes 8. The part where the P-type base diffusion layer and the N<SP>+</SP> emitter diffusion layer of the NPN bipolar transistor are to be formed is masked with the dummy gate electrode 9; as a result,

the P<SP>+</SP>  
diffusion layer is not formed; however, the part is surrounded by  
the  
P<SP>+</SP> drain diffusion layer 6a as a graft base diffusion  
layer. In this  
manner, it is possible to sharply reduce an element isolation  
interval between  
the NPN bipolar transistor and a P-channel MOSFET.

COPYRIGHT: (C)1991,JPO&Japio

## ⑫ 公開特許公報(A) 平3-105963

⑤ Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)5月2日

H 01 L 27/06  
21/331  
21/76  
29/73

M 7638-5F

7735-5F H 01 L 27/06 3 2 1 C  
8225-5F 29/72

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置のデバイス構造

⑰ 特 願 平1-244171

⑱ 出 願 平1(1989)9月19日

⑲ 発 明 者 副 島 勝 元 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

発 明 の 名 称

半導体装置のデバイス構造

特 許 請 求 の 範 囲

同一半導体基板上にNPNバイポーラトランジスタとCMOS素子を形成してなるバイポーラ・CMOS集積回路において、少なくとも1個のバイポーラトランジスタのグラフトベース拡散層がPチャンネルMOSFETのP<sup>+</sup>ドレイン拡散層と共通に形成され、前記バイポーラトランジスタのP型ベース拡散層およびN<sup>+</sup>エミッタ拡散層は前記P<sup>+</sup>ドレイン拡散層により取り囲まれて形成されることを特徴とする半導体装置のデバイス構造。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体装置のデバイス構造に関し、

特にNPNバイポーラトランジスタとCMOS素子とからなるバイポーラ・CMOS集積回路(BiCMOS集積回路)のデバイス構造に関する。

(従来の技術)

BiCMOS集積回路は、バイポーラトランジスタとCMOS素子を基本回路内で複合することにより、高速度性と低消費電力性を合せ持ち、特に高速・高集積のLSIを実現できる技術とされている。

第3図(a)に、PチャンネルMOSFETとNPNバイポーラトランジスタが同一基板上に配置された場合の従来のBiCMOS集積回路の平面図を示す。第3図(a)のBB'線で示された位置に於ける縦断面図を第3図(b)に示す。

従来のBiCMOS集積回路は、P型シリコン基板1上にN<sup>+</sup>埋込み層2a、2bを形成し、PチャンネルMOSFET19を作成する場合はN<sup>+</sup>埋込み層2a上にN型エピタキシャル層4を形成し、ゲート酸化膜7および多結晶シリコンに

よるゲート電極8を加工形成した後、PチャンネルMOSFET19のP<sup>+</sup>ドレイン拡散層6a、P<sup>+</sup>ソース拡散層6bを形成していた。

また、NPNバイポーラトランジスタ18を作成する場合は、N<sup>+</sup>埋込み層2b上にN型エピタキシャル層4を形成し、P型ベース拡散層10とN<sup>+</sup>コレクタ拡散層5を形成し、ベース電極形成部分にはP<sup>+</sup>ドレイン拡散層6a、P<sup>+</sup>ソース拡散層6bと同一濃度のP<sup>+</sup>拡散層6を加工形成後にN<sup>+</sup>エミッタ拡散層11を形成していた。

これらNPNバイポーラトランジスタ18とPチャンネルMOSFET19とを同一のP型シリコン基板1上の隣接して配置する場合は、これらを電気的に分離するためにP型分離層3、フィールド酸化膜12を、NPNバイポーラトランジスタ18とPチャンネルMOSFET19との間に形成していた。このため、N<sup>+</sup>埋込み層2aとN<sup>+</sup>埋込み層2bとの間隔Sとしては、5～10μmの素子分離幅を必要としていた。  
(発明が解決しようとする課題)

S素子を形成してなるBiCMOS集積回路において、少なくとも1個のバイポーラトランジスタのグラフトベース拡散層がPチャンネルMOSFETのP<sup>+</sup>ドレイン拡散層と共通に形成され、バイポーラトランジスタのP型ベース拡散層およびN<sup>+</sup>エミッタ拡散層はP<sup>+</sup>ドレイン拡散層(グラフトベース拡散層)により取り囲まれて形成されるデバイス構造を有している。

#### (実施例)

次に本発明について図面を参照して説明する。

第1図(a)は本発明の一実施例の平面配置図であり、第1図(b)は第1図(a)のAA'線における断面図である。

第1図において、BiCMOS集積回路は、P型シリコン基板1に形成されたN<sup>+</sup>型埋込み層2と、このN<sup>+</sup>型埋込み層2上に形成されたN型エピタキシャル層4と、N型エピタキシャル層4上にゲート酸化膜7を介して形成された多結晶シリコンからなるゲート電極8と、N型エピタキシャル層4内に形成されたP<sup>+</sup>ドレイン拡散層6a、

上述した従来のBiCMOS集積回路は、NPNバイポーラトランジスタとPチャンネルMOSFETとを隣接して配置する場合には、通常、5～10μmの素子分離幅が必要なため、例えば、素子数が数10万～数100万に達するようなBiCMOS集積回路を現実的なチップサイズ(～15mm<sup>2</sup>)で実現することは困難であった。

また、このような大規模なBiCMOS集積回路を実現するためにはCAD(Computer Aided Design)技術を駆使した自動設計技術が不可欠であるが、従来のBiCMOS集積回路に於いては、アルミ配線等で素子間の配線を施す際に、CMOS部分とバイポーラ部分とで配線ピッチが大きく異なるため、特に、マスクパターンレイアウト設計の際、既存のCAD技術では効率の良い自動設計ができないという欠点があった。

(課題を解決するための手段)

本発明のBiCMOS集積回路は、同一半導体基板上にNPNバイポーラトランジスタとCMO

P<sup>+</sup>ソース拡散層6bと、グラフトベース拡散層でもあるP<sup>+</sup>ドレイン拡散層6aに取り囲まれて形成されたP型ベース拡散層10と、このP型ベース拡散層10内に形成されたN<sup>+</sup>エミッタ拡散層11と、フィールド酸化膜12、第1の層間絶縁膜13、エミッタポリシリコン16、アルミニウム電極17とから構成されている。

なお、N<sup>+</sup>コレクタ拡散層(図示せず)は、P<sup>+</sup>ドレイン拡散層6a、P<sup>+</sup>ソース拡散層6bから所定の距離を隔てた位置に形成され、N<sup>+</sup>型埋込み層2に接続されている。

第1図に示したデバイス構造の製造方法について、以下に説明する。

まず、従来からよく知られた方法により、P型シリコン基板1上にN<sup>+</sup>型埋込み層2、N型エピタキシャル層4、フィールド酸化膜12、ゲート酸化膜7、N<sup>+</sup>コレクタ拡散層(図示せず)を形成し、このN<sup>+</sup>型埋込み層2とN型エピタキシャル層4とによりなる領域に、NPNバイポーラトランジスタとPチャンネルMOSFETとを分

離することなく形成する。なお、PチャンネルMOSFETのショートチャンネル化のためには、必要に応じてN型エピタキシャル層4の表面濃度を大きくすべくNウエル(図示せず)を導入すればよい。

上述以降の製造工程を、工程順断面図である第2図(a)~(h)を用いて説明する。

第2図(a)において、りんをドーパした多結晶シリコンからなるゲート電極8を形成するが、この時、NPNバイポーラトランジスタのP型ベース拡散層およびN<sup>+</sup>エミッタ拡散層を形成すべき部分を覆うように、ゲミーゲート電極9も同時に形成する。次に、例えばエネルギー30keVのボロンをドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、P<sup>+</sup>ドレイン拡散層6a、P<sup>+</sup>ソース拡散層6bを形成する。

ゲート電極8は従来と同様にイオン注入のマスクとなり、P<sup>+</sup>ドレイン拡散層6a、P<sup>+</sup>ソース拡散層6bはゲート電極8に対して自己整合的に形成される。また、NPNバイポーラトランジスタ

のP型ベース拡散層およびN<sup>+</sup>エミッタ拡散層を形成すべき部分は、ゲミーゲート電極9によりマスクされているためにP<sup>+</sup>拡散層は形成されないが、グラフトベース拡散層でもあるP<sup>+</sup>ドレイン拡散層6aに取り囲まれる。

次に、第2図(b)に示すように、CVD法により厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ の第1の層間絶縁膜13を形成する。

次に、第2図(c)に示すように、ゲミーゲート電極9の表面だけを露出させるように、第1の層間絶縁膜13を選択的にエッチングする。

次に、第2図(d)に示すように、第1の層間絶縁膜13に対し十分なエッチング選択比を持つエッチング条件(例えば、 $\text{CF}_4$ をエッチングガスに用いたドライエッチング)にてゲミーゲート電極9を自己整合的にエッチング除去した後、例えばボロンをドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 、エネルギー30keVにてイオン注入することにより、P型ベース拡散層10を形成する。

次に、第2図(e)に示すように、第1の層間

絶縁膜13の膜厚 $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ に比べて十分に薄い( $0.1 \mu\text{m} \sim 0.2 \mu\text{m}$ )第2の層間絶縁膜14を全面に堆積する。

次に、第2図(f)に示すように、第2の層間絶縁膜14をRIE(Reactive Ion Etching)によりエッチバックし、NPNバイポーラトランジスタのP型ベース拡散層10の上部周辺側面に、第2の層間絶縁膜14からなるスペーサ15を形成する。この時、P型ベース拡散層10上のゲート酸化膜7も除去される。

次に、第2図(g)に示すように、全面に厚さ $2000 \sim 3000 \text{ \AA}$ の多結晶シリコンを堆積し、例えばドーズ量 $1 \times 10^{16} \text{ cm}^{-2}$ 、エネルギー50keVにてひ素をイオン注入し、NPNバイポーラトランジスタの電流増幅率が所望の値となるような熱処理(例えば、 $900^\circ\text{C}$ 、 $\text{N}_2$ 雰囲気で30分)を施してN<sup>+</sup>エミッタ拡散層11を形成した後、多結晶シリコンをエッチングしてエミッタポリシリコン16を形成する。

その後、第2図(h)に示すように、アルミニ

ウム電極17を形成することにより、所望のBiCMOS集積回路を得る。

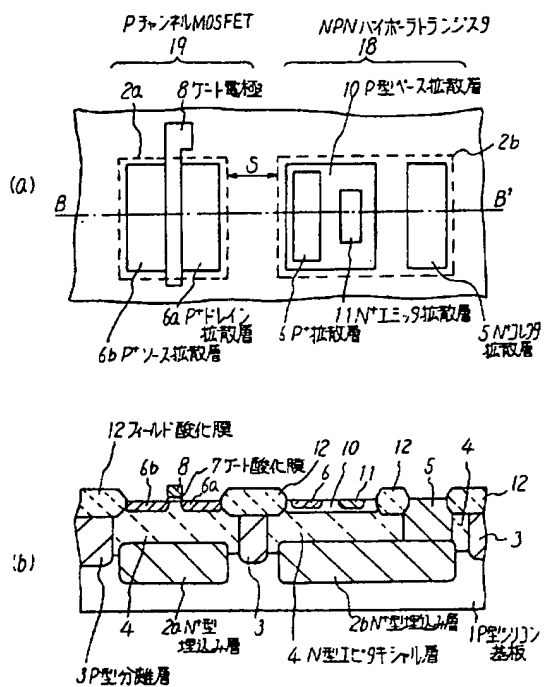
(発明の効果)

以上説明したように本発明は、少なくとも1個のNPNバイポーラトランジスタのグラフトベース拡散層がPチャンネルMOSFETのP<sup>+</sup>ドレイン拡散層と共通に形成され、NPNバイポーラトランジスタのP型ベース拡散層およびN<sup>+</sup>エミッタ拡散層はP<sup>+</sup>ドレイン拡散層(グラフトベース拡散層)により取り囲まれて形成されることにより、NPNバイポーラトランジスタとPチャンネルMOSFETとの素子分離間隔を大幅に低減することができる。

更に、アルミ配線ピッチをCMOS部分とバイポーラ部分とで同一にすることにより、高集積密度のBiCMOS集積回路を、簡略化された設計手法により効率よく設計できるという効果がある。

図面の簡単な説明





第 3 図